

PATENT ABSTRACTS OF JAPAN

3

(11)Publication number : 11-317739

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H04L 12/28

(21)Application number : 11-029650

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.02.1999

(72)Inventor : KUNIMOTO MASAO
KASHIO JIRO
MORI MAKOTO
GOHARA SHINOBU

(30)Priority

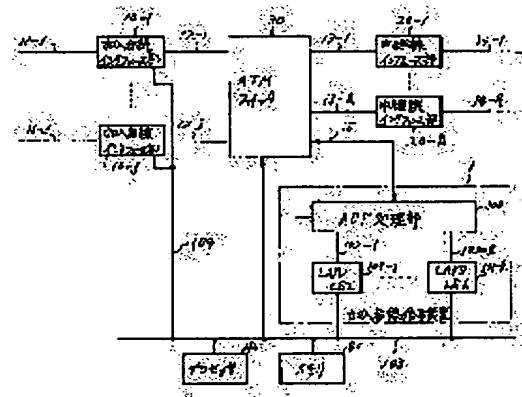
Priority number : 63210718 Priority date : 26.08.1988 Priority country : JP

(54) CELL ASSEMBLING METHOD, CELL DISASSEMBLING METHOD AND ATM COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a hardware quantity by installing the subscriber line signal device of an ATM exchange on the side of the repeating line of an ATM switch and installing an ADP processing part in common for each subscriber lines so as to omit a cell separating and inserting circuit, a multiplexing and separating circuit, etc., of each subscriber line.

SOLUTION: The subscriber line signal device 1 consisting of the ADP processing part 100 executing the adaptation processing of segmentation, reassembling, etc., and LAPD/LSI 101 executing the layer 2 protocol processing of a signal channel is connected to the side of the repeating line of an ATM switch 30 through a bus 15. The subscriber line signal device is connected with a processor 40 to execute the layer 3 protocol processing of the signal channel, the update of a header exchange table, the initial value setting of the switch 30 and the control of LAPD/LSI 101. The number of LAPD/LSI can be reduced when J is >1.



LEGAL STATUS

[Date of request for examination] 08.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3055547

[Date of registration] 14.04.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓

特開平11-317739

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.⁹

H 0 4 L 12/28

識別記号

F I

H 0 4 L 11/20

E

審査請求 有 請求項の数 4 O L (全 17 頁)

(21) 出願番号 特願平11-29650
(62) 分割の表示 特願平1-156772の分割
(22) 出願日 平成1年(1989)6月21日
(31) 優先権主張番号 特願昭63-210718
(32) 優先日 昭63(1988)8月26日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 国本 雅夫
神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内
(72) 発明者 檜尾 次郎
神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内
(72) 発明者 森 誠
神奈川県横浜市戸塚区戸塚町216番地株式
会社日立製作所戸塚工場内
(74) 代理人 弁理士 作田 康夫

最終頁に続く

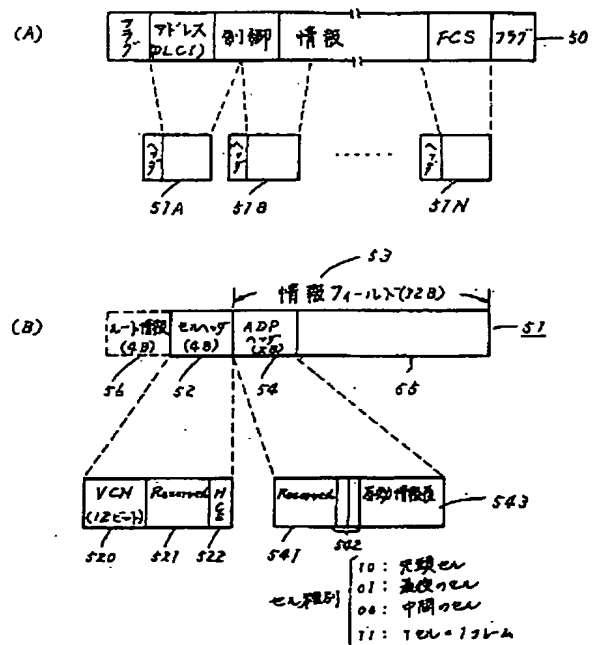
(54) 【発明の名称】 セル組立方法、セル分解方法、およびATMセル通信装置

(57) 【要約】

【課題】 可変長のパケット信号と非同期転送モードで送受信する固定長のセルとの変換時に、変換が容易かつ確実に実行できる変換方法とセルの構成を提供する。

【解決手段】 可変長の情報を情報塊に分割して非同期転送モードの通信網で送受信するATMセルを、情報の宛先に関する識別子を含む第1のヘッダと前記情報塊の長さ、および、情報の先頭ビットを含む先頭情報塊または前記情報の最終ビットを含む最終情報塊もしくは前記先頭情報塊および最終情報塊以外の中間情報塊かいずれかを識別する順序識別子を含む第2のヘッダと情報部から構成した。そして、第2のヘッダを用いて可変長のパケット信号からセル組立と分解を行うようにした。

図 5



【特許請求の範囲】

【請求項 1】可変長情報を非同期転送モード通信網で転送される固定長セルに変換するためのセル組立方法であって、

上記可変長情報を第 1 固定長の情報ブロックに分割し、上記第 1 固定長に満たない可変長情報または分割残余部分については上記第 1 固定長より短い情報ブロックとするステップと、

上記各情報ブロックに、セル種別情報と、情報フィールド内の有効情報長とを付加し、第 2 固定長の情報フィールドを形成するステップと、

上記第 2 固定長の情報フィールドに、宛先識別子を含むセルヘッダを付加し、固定長セルを形成するステップとからなり、

上記セル種別情報として、上記各情報フィールドに含まれる情報ブロックが上記可変長情報の先頭部分、最終部分、中間部分の何れかを示すビット情報を付与することを特徴とするセル組立方法。

【請求項 2】非同期転送モード通信網から受信した固定長のセルを分解して可変長情報に変換するためのセル分解方法であって、

上記通信網からの受信セルを各々のセルヘッダに含まれる宛先識別子に応じてバッファリングするステップと、上記受信セルの情報フィールドに含まれるセル種別情報によって、該情報フィールドに含まれる情報ブロックが可変長情報の先頭部分、最終部分、中間部分の何れかを判別するステップと、

可変長情報の最終部分を含む最終セルの検出を待って、該最終セルと同一の宛先識別子をもつ上記バッファリング済みのセルから、各々の情報フィールドに含まれる有効情報長に基づいて情報ブロック部分を順次に抽出するステップと、

からなることを特徴とするセル分解方法。

【請求項 3】固定長の情報フィールドと固定長のセルヘッダとからなる A T M セルによって情報を送受信する A T M 通信装置であって、

送信可変長情報を分割して得られる各情報ブロックに、該情報ブロックが上記可変長情報の先頭部分、最終部分、中間部分の何れかを示すセル種別情報と、有効情報長とを付加して情報フィールドを構成し、該情報フィールドに宛先と対応した論理識別子を含む所定フォーマットのセルヘッダを付加して固定長の送信セルに組み立てるセグメント手段と、

受信セルをバッファリングしておき、各受信セルの情報フィールドに含まれるセル種別情報に基づいて、可変長情報の最終部分を含む最終セルが受信されたこと検出し、同一宛先識別子をもつバッファリング済みセルから、各々の情報フィールドに付加されている有効情報長に基づいて有効情報ブロックを順次に抽出することによって、可変長情報を再生するリアセンブル手段とを備え

たことを特徴とする A T M 通信装置。

【請求項 4】情報フィールドとセルヘッダとからなる固定長の A T M セルを処理する A T M 通信装置において、送信すべき各 A T M セルの情報フィールドに、送信可変長情報の一部をなす情報ブロック以外に、該情報フィールドに含まれる情報ブロックが上記可変長情報の先頭部分、最終部分、中間部分の何れかを示すセル種別情報と、該情報フィールド内の有効情報長とを加えるための手段と、

10 受信した各 A T M セルの情報フィールドに含まれるセル種別情報と有効情報長とに基づいて、可変長情報の再生に必要な一連のセル受信の完了と、各セルから抽出すべき情報ブロック長とを判定するための手段とを有することを特徴とする A T M 通信装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明はパケット交換機に係り、特に、非同期転送モード (Asynchronous Transfer Made : 以下 A T M と称する) で固定長パケットの交換を行う A T M 交換機に関する。

【 0 0 0 2 】

【従来の技術】 I S D N (Integrated Services Digital Network) では、ユーザ間で送受威信する情報の転送に用いる情報チャネル (B チャネル) と、通話路設定のための制御信号の転送に用いる信号チャネル (D チャネル) の 2 種類チャネルを備えている。 I S D N 交換機における信号チャネルを処理する構成としては、例えば、電子情報通信学会技術研究報告 S E 8 7 - 8 5 「 I インタフェース交換機の信号処理方式」の図 1 2、あるいは、特開昭 6 2 - 1 3 1 6 5 2 号公報に記載されているように、複数の加入者線からの信号チャネルと情報チャネルとをそれぞれの交換機の入力インタフェースで分離し、信号チャネルのみを一旦別途多重化してスイッチを介さずに信号処理装置に導き、その後、信号チャネルのレイヤ 2 (L A P D : Link Access Procedure on the D - channel) 処理、レイヤ 3 (呼制御) 処理の各処理をおこなう構成が知られている。

【 0 0 0 3 】ところで、現在、国際電信電話諮問委員会 (C C I T T) では、次世代の I S D N として、広帯域 I S D N の検討が進められている。広帯域 I S D N は、加入者に対して、高速度の (例えば、 1 5 0 Mbit / s) 回線速度を有する信号の交換サービスを提供しようとするものであり、 C C I T T 勧告 I . 1 2 1 草案によれば、 A T M 交換方式が上記広帯域 I S D N の有望な実現手段としてあげられている。この A T M 交換方式は、信号及び情報を含むすべてのデータを、「セル」と呼ばれる固定長パケットにして送受信する方式である。例えば、図 5 (A) に示すように、信号用フレーム 5 0 を加入者端末が交換機に送信する場合、上記フレーム 5 0 を一旦固定長のセル 5 1 A ~ 5 1 N に分解し (この処理を

セグメンティングと称する)、このセルを加入者線を介して交換機側に備えられた信号装置に送出する。交換機側では、受信したセル51A~51Nから信号用フレーム50を再生し(この処理をリアセンブリングと称する)、その後、信号処理を実行する。また、逆に、交換機側から加入者端末に対して信号用フレームを送信する場合にも、交換機側でセグメンティングを、加入者端末でリアセンブリング処理を行う。このセグメンティング/リアセンブリング処理は、CCITT勧告I.121草案では、アダプテーションレイヤの機能として位置づけられており、以下本明細書ではセグメンティング/リアセンブリング処理を含むアダプテーションレイヤの処理部を「ADP処理部」と称する。

【0004】上述したATM交換機を、従来のISDN交換機と同様な構成で実現した場合のシステム構成と信号処理を図11を参照して説明する。同図において、11(11-1~11-j)は、例えば150Mbit/s程度の伝送速度の光ファイバ、10(10-1~10-j)光/電気信号の交換等を行う加入者線インタフェース部、30はセルの交換を行うATMスイッチ、12(12-1~12-j)は8ビットバスである。

【0005】加入者線インタフェース部10とATMスイッチ30との間にセル分離/挿入回路16(16-1~16-j)を設置し、受信系(加入者線インタフェース部10からATMスイッチ30へ向かうセル)では、信号チャネルのセルのみを分離して取り出し、送信系(ATMスイッチ30から加入者線インタフェース部10へ向かうセル)では、信号チャネルのセルの挿入を行う。各セル分離/挿入回路16からのセルデータは、多重/分離回路(MUX)17で多重化され、バス19を介して加入者線信号装置1に接続される。加入者線信号装置1は、各加入者回線毎のセルデータの多重/分離を行う回路(MUX)18と、前述のセグメンティング/リアセンブリング処理を行うADP処理部100(100-1~101-j)と、信号チャネルのレイヤ2の処理を行うLAPD・LSI101(101-1~101-j)と、バス103とから構成される。

【0006】

【発明が解決しようとする課題】然るに、上記方式によれば、信号チャネルのセルのみを集線するために、各加入者回線毎にセル分離/挿入回路16が必要であり、また、MUX17及びそれらを接続するためのバスが必要となる。さらに、加入者線信号装置1においても、MUX18や、各加入者回線毎のADP処理部が必要となる。したがって、上述のような交換システムの高速広帯域化や大容量化が進むと、これらの構成が大規模なものとなり経済性や信頼性の面から望ましくなく、より簡単な構成で確実に高速な信号処理が可能な構成が求められる。

【0007】本発明の目的は、より簡単な構成の加入者

線信号装置あるいは中継線信号装置をもつATM交換機を提供することにある。具体的には、ATM交換機に好適な構成の信号装置を簡単な構成で提供すると共に、これらの信号装置をATM交換システムに効率よく配置して、経済性と信頼性にすぐれ、かつ、高速交換システムに好適な信号処理能力を備えた交換システムを提供することにある。また、ATM信号を扱う場合において、信号処理装置が処理しやすい形式となるよう、信号フレームと固定長セルとの変換則を定め、信号処理に好適な構成のセルを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明では、ADP処理部を含む加入者線信号装置をATMスイッチの中継線側に設置することにより、ATMスイッチを用いて信号チャネルのセルの収集と分配を行ない、各加入者線共通にアダプテーション処理を行うように構成した。また、中継線からの信号に対しては、ADP処理部を含む中継線信号装置をATMスイッチの加入者線側に設置した。どちらの構成も信号をスイッチ経由で収集・分配する構成なので、上記加入者線信号装置と中継線信号装置を共通化する構成にしても良い。

【0009】上記のような構成によれば、ADP処理部をATMスイッチ後側に配置し、ATMスイッチを利用して信号チャネルのセルを収集/分配するようにしたことにより、セルの分離/挿入回路、および、セルの多重/分離回路が不要となる。また、各加入者線共通に、あるいは各中継線共通にアダプテーション処理を実行するようにしたことにより、アダプテーション処理に必要なハードウェア量を削減できる。なお、加入者線信号装置と加入者端末をスイッチを介して接続する類似の方式として、例えば特開昭63-78657号公報に記載の方式があるが、上記従来方式ではアダプテーション処理が考慮されておらず、また、信号フレームを検出するため、加入者回線走査部等の回路を必要としているもので、上記ADP処理部を含む信号装置をATMスイッチの後側に配置して信号チャネルのセル収集・分配を行うだけでアダプテーション処理を行う本願発明の信号処理装置とは構成動作が異なるものである。

【0010】また、本発明では、可変長の情報を情報塊に分割して、非同期転送モードの通信網で送受信するための固定長のATMセルとして、情報の宛先に関する識別子を含む第1のヘッダと情報塊の長さ、および、情報の先頭ビットを含む先頭情報塊または情報の最終ビットを含む最終情報塊もしくは先頭情報塊および最終情報塊以外の中間情報塊がいずれかを識別する順序識別子を含む第2のヘッダと情報部から構成したATMセルを用い、この第2のヘッダの順序識別子に基づき可変長の情報とセルとの組立・分解を実行できる構成とした。さらに、このセルを送受信する毎にパケットの組立・分解す

る構成のアダプテーション回路を備え、この回路をカウンタとバッファとヘッダ付与／変換テーブルとこれらを制御する制御回路との簡単な構成で提供し、第2のヘッダの情報でアダプテーション処理が容易かつ確実に行えるようにした。

【0011】

【発明の実施の形態】以下、本発明によるATM交換機の実施例を図面を参照して説明する。図1および図2は、それぞれ本発明の実施例を示すシステム構成図であり、セグメンテーションやリアセンブリング等のアダプテーション処理を行うADP処理部100と、信号チャネルのレイヤ2プロトコル処理を行うLAPD・LSI101(101-1~101-1)とからなる加入者線信号装置1が、バス15を介してATMスイッチ30の中継線側に接続されている。また、上記加入者線信号装置1は、バス103を介して、信号チャネルのレイヤ3のプロトコル処理や、後述するヘッダ変換テーブルの更新や、ATMスイッチ30の初期値設定や、LAPD・LSI101のコントロール等を行うプロセッサ40に接続されている。メモリ41は、プロセッサ40が実行するプログラム格納エリアおよびワークエリアとに使用されるメモリである。加入者線11(11-1~11-j)は、例えば150Mbit/s程度の伝送速度を持つ光ファイバ等であり、中継線14(14-1から14-k)は、例えば150Mbit/s、あるいは600Mbit/s程度の伝送速度を持つ光ファイバである。また、信号線12(12-1~12-j)、13(13-1~13-k)、および15は、それぞれ例えば5ビット幅を持つバスであり、加入者線インタフェース部10及び中継線インタフェース部20は、それぞれ光／電気信号変換や、個々のセルに対してルート情報部の付加／削除などを行う。尚、同図において、信号線11-1~14-kがそれぞれ単一の線として示されているが、これらはそれぞれ入力線と出力線との対からなっている。

【0012】30は、固定長セルの交換を行うATMスイッチであり、例えば、電子情報通信学会情報ネットワーク研究会技術報告IN88-38「ATM交換アーキテクチャの一提案」に記載された方式のものを採用できる。ATMスイッチの入／出力バス数を 32×32 とすれば、同図において、 $j=32$ 、 $k=31$ となる。ここで、情報チャネルのセルの交換用に 32×32 の入／出力バスを確保したければ、ATMスイッチの入出力バス数を 32×33 、或いは 32×34 等とし、中継線側の1つあるいは2つのバスを信号チャネル専用バスとすればよい。

【0013】なお、図1の実施例では、各加入者線毎にLAPD・LSIを設置する方式($j=1$)としているが、 $j>1$ としてLAPD・LSIの数を削減したり、 $j<1$ とすることにより障害発生時の予備用LAPD・LSIを持つ構成としても良い。また、図2の実施例

は、複数の加入者線(11-1~11-j)に対する信号チャネルのレイヤ2の処理を、1つのLAPD・LSI101で実行するようにした方式を示している。

【0014】図3は、上記ADP処理部100における送信系100Aを示すブロック図、図4は、上記ADP処理部100における受信系100Bを示すブロック図である。尚、前述のCCITT勧告I.121草案では、未だセルフフォーマットやセルサイズなどが決定されていない。そこで、上記図3、図4のADP処理では、図5(B)に示すセルフフォーマットを定め、ATM交換システムで用いる構成にした。具体的には、各セルのセル長が36バイトであり、4バイトのセルヘッダ52と、32バイトの情報フィールド53とから構成される。呼制御に必要な発信元や宛先端末の番号と端末間の送信データは、情報フィールド53に設定される。セルヘッダ52のうち、先頭の12ビットはセル識別の為にVCN(Virtual Channel Number)フィールド520であり、その他に、リザーブ・フィールド521とセルヘッダ異常検出の為にHCS(Header Check Sequence)フィールド522を持つものとする。また、情報フィールド53の先頭には、2バイトのADPヘッダ54を持つ。よって、同図(A)に示すフレームデータを格納可能な領域55は、1セルあたり30バイトとなる。そしてADPヘッダ54には、そのセルがフレーム先頭／フレーム最後／フレーム中間／1セル=1フレームのいずれかを示す2ビットのセル種別領域542と、情報フィールドの有効情報長を示す1バイトの領域543と、リザーブ領域541を持つ構成とした。

【0015】例えば、同図(A)のフレーム50のフラグ間フレーム長が6バイトの場合、これをセル化(セグメンテーション)すると、セル種別が1セル=1フレームで有効情報長が6のセルとなる。また、フレーム長が40バイトの場合は、セル種別がフレーム先頭で有効情報長が30の第1セルと、セル種別がフレーム最後で有効情報長が10の第2セルの2つのセルに分割される。

【0016】尚、図5(B)のセル先頭に付されたルート情報部56は、ATM交換機内においてのみ付加されるものであり、加入者線11や中継線14においてはね上記ルート情報部56が削除されたフォーマットで各セルは伝送される。このルート情報部は、ATMスイッチ30でセルの交換を行う際に、そのセルをどの出回線に伝送すればよいのかを示す情報や、加入者線回線番号及び、中継線回線番号等を記録するために用いられている。本発明のATM交換機では、インタフェース部10、20とADP処理部100がルート情報部56を付与することで、信号処理装置と加入者線もしくは中継線間の信号処理を行うためのセルがスイッチ30を介しても確実に収集・分配される構成としたものである。

【0017】次に、ADP処理部の送信系100Aの詳細について、図3を参照して説明する。送信回線選択部

110aは、送信データ(TxD)、送信クロック(TxC)、エコー(E)の3本を1組とする信号線102a(102a-1~102a-1)によって対応するLAPD-LSI101(101-1~101-1)と接続され、複数のLAPDから同時にフレームが送出された場合の競合制御を行ない、特定の回線のフレームのみを取り出す機能を持つ。この競合制御の手順としては、CCITT勧告I.430に記載のDチャンネルアクセス手順が利用できる。競合制御の結果、選択された回線番号は、制御部CTL190Aに通知され送信データはフレーム検出部112へ送られる。なお、送信回線選択部110aは、本発明の第1の実施例(図1)においての必要な回線である。

【0018】フレーム検出部112は、図5(A)で示されたフレーム信号の内、フレーム内アドレス部のDLCI(Data Link Connection Identifier)をCTL190Aに通知するとともに、アドレス部からFCS(Frame Check Sequence)部までのデータを、フラグ識別の為の'0'ビット削除後、8ビットパラレルのデータにして、カウンタ部116へ送る。また、フレーム最後のデータであれば、そのことをFinal通知線によりカウンタ部116へ通知する。

【0019】カウンタ部116は、フレームデータを、FIFO・A120に転送する。FIFO・A120に30バイトのデータを転送してFIFO・Aが一杯になるか、あるいは、フレーム最後のデータを転送すると、図5(B)のADPヘッダフォーマットに示すセル識別542と有効情報長543をCTL190Aに通知し、以降、フレーム検出部112から送られてくるデータはFIFO・B121に転送する。FIFO・Bにデータを転送する場合においても、FIFO・Bが一杯になるか、あるいは、フレーム最後のデータを転送すれば、カウンタ部116は、FIFO・Aにデータを転送する場合と同様に、セル種別と有効情報長をCTL190Aへ通知し、以降のデータをFIFO・A120へ転送する。以上のようにして、FIFO・AとFIFO・Bを交互に使用する。

【0020】CTL部190Aは、例えばμCPU、ROMおよびRAMから構成され、内部にDLCI/ヘッダ対応テーブル191を持ち、このテーブルには、回線番号とDLCIの各組み合わせに対応するヘッダの内容(図5(B)のルート情報56からADPヘッダ54までの全10バイト)が、バス103を介してプロセッサ40から設定される。CTL部190Aは、回線番号とDLCIの通知を受け取った段階で、DLCI/ヘッダ対応テーブル191を検索し、対応するヘッダの内容をヘッダレジスタ118に書き込む。

【0021】ただし、本発明の第2の実施例(図2)においては、DLCI/ヘッダ対応テーブル191を検索し、その後、DLCI変換テーブル195を用いて、ユ

ニークなDLCIから、実際に加入者装置に対して送信するDLCIに変換する。その後、カウンタ部116からセル種別と有効情報長の通知を受け取ると、図5

(B)のADPヘッダフォーマット54に従って、ヘッダレジスタ内の対応するレジスタを書き換え、セレクト(SEL)122を起動する。

【0022】SEL122は、まずヘッダレジスタ118内のデータを送信し、続けてFIFO・A120内のデータを送信してセルの送信を完了する。SEL122は、次にCTL190Aから起動を受けるとヘッダレジスタ118内のデータを送信し、続けてFIFO・B121内のデータを送信してセルの送信を完了する。以下、SEL122は、FIFO・A及びFIFO・Bの内容を交互に送信する。尚、CTL部190Aにおいて、DLCI/ヘッダ対応テーブル191の検索処理と、ヘッダレジスタ中のADPヘッダの設定処理を分けて行うようにし、さらに、ヘッダレジスタ118内のデータは、SEL122が読み出ししても変化しないようにすれば、セル送信に伴うヘッダ作成のための処理量を削減することができる。例えば、1フレームを複数のセルに分割して送信する場合、DLCI/ヘッダ対応テーブルの検索処理を、フレーム先頭のセル送信時にのみ行い、以降のセルについては、ヘッダレジスタ118内のADPヘッダ部のみを書き換えるようにすれば、セル毎に、DLCI/ヘッダ対応テーブル191を検索する必要はなくなる。

【0023】次に、ADP処理部の受信系100Bの詳細を、図4を参照して説明する。セル書込部124は、受信バス15bを介してATMスイッチ30と接続され、加入者装置からの信号チャネルのセルを受信する。受信したセルデータは、セル書込部124内のWQ(Write Address)レジスタが差し示すアドレスに転送される。その後、次ぎのセル受信に備えて、空きアドレスFIFO130内のデータを書込みアドレス・レジスタWA125に設定する。

【0024】126は、バッファメモリ(BFM)であり、BFM上には、例えば150Mbit/sの速度で到着するセルを一旦受信し蓄えておくためのFIFO形式の第1バッファBFと、その後、リアセンブリング処理のために、回線番号とセルヘッダ内のVCNの組み合わせ毎に用意したFIFO形式の第2バッファBF-1~BF-nとから構成される。なお、BFM126上へのFIFO形式のBFの構成及びチェーンポインタの使用法と、WA及びRA(Read Address)及び空きアドレスFIFOの使用法については、前述の文献「ATM交換アーキテクチャの一提案」において示されている。

【0025】制御部CTL190Bは、第1バッファBFに対する読出しアドレスレジスタRA192を持ち、RAが差し示すアドレスのセルの内容のうち、ルート情報部に記録された回線番号と、セルヘッダ内のVCN

と、ADPヘッダ内のセル種別をチェックし、まず、対応する回線番号とVCNの組み合わせを持つ第2バッファBF-iに、そのセルデータを転送する。この場合、メモリからメモリへのデータ転送は行わず、CTL190B内にある第2のバッファアドレステーブル193とバッファチェンポインタの書き換えのみにより、転送処理を実行する。また、ADPヘッダ内のセル種別をチェックした結果、1フレーム分のセルの受信が完了したのであれば、そのフレームの先頭セルが格納されているバッファの先頭アドレスと、回線番号を転送順序記憶FIFO194に格納する。CTL190Bは、転送順序記憶FIFO内のデータに従い、並列一直列変換部(P/S部)128を起動し、同時に、受信回線選択部110bに対して出回線番号を指定する。なお、本発明の第2の実施例(図2)においては、P/S部128の起動時に、DLCI変換テーブル195を用いて、加入者装置からのDLCIから、ユニークなDLCIを求め、このユニークなDLCIを同時にP/S部に通知する。P/S部128は、CTL190Bからの起動により、指定されたアドレスのデータを読み取り、ヘッダ部以外のデータをシリアルデータに変換し、'0'挿入、セル種別フラグ付加後、このデータを受信回線選択部110bへ送る。なお、本発明の第2の実施例においては、ユニークなDLCIへの変換も行う。

【0026】受信回線選択部110bは、受信データ(RxD)、受信クロック(RxC)の2本を1組とする信号線102b(102b-1~102b-1)によってLAPD・LSI101(101-1~101-1)と接続され、CTL190Bから指示された回線番号の信号線にのみデータを送る機能を持つ。なお、受信回線選択部110bは、図3に示した送信回線選択部110aと同様に、本発明の第1の実施例(図1)の構成においてのみ必要であり、本発明の第2の実施例の構成においては不要である。

【0027】図6と図7は、制御CTLにマイクロプロセッサを適用して構成したADP処理部の送信系100Aと受信系100Bの具体的な構造の1例を示す図であり、これらは、機能的には図3、図4で説明した回路と同一である。図6に示す送信系100Aは、プロセッサ40側のバス103と接続するためのインタフェース301と、バスアビタ302と、CTL190Aを構成するマイクロプロセッサ303、プログラムメモリ304、およびRAM305を備え、これらの要素と、既に図3で説明した送信回線セクタ110a、フレーム検出部112、カウンタ部116、ヘッダレジスタ118、セクタ122が内部バス108で相互接続された構成となっている。バスアビタ302は、マイクロプロセッサ304と、インタフェース回路301を介して出力される外部のプロセッサ40からのバス108の使用要求を調整制御するためのものである。RAM305に

は、DLCI/ヘッダテーブル191と、DLCI変換テーブル195と、マイクロプロセッサがADP処理のために用いるワークエリア196とが形成される。

【0028】送信回線セクタ110Aは回線番号レジスタ311を有し、選択された回線番号が上記レジスタ311に設定されると、送信回線セクタからマイクロプロセッサ303に割り込みが入り、マイクロプロセッサ303が上記レジスタの内容を内部バス108を介して読み取るようになっている。フレーム検出部112のDLCIレジスタ312、カウンタ部116の有効情報長レジスタ313、セル種別レジスタ314も同様の方法でマイクロプロセッサ303に読取られる。

【0029】図7に示す受信系110Bも、送信系と同様、図4に示した各要素を内部バス108で相互接続した構成となっており、セル書込み部124によるバッファメモリ126への受信セルへの書込みは上部内部バス108を介して行なわれ、バッファ領域BFから第2バッファ領域BF-1~BF-nへのデータ転送、第2バッファ領域からP/S変換部128へのデータ転送も、マイクロプロセッサ303が上記内部バスを介して行なうようになっている。

【0030】以上の実施例においては、μCPUを用いたCTL部190Aと190Bにより、ADP処理部100の各ハードウェアを制御する構成としたが、送信系と受信系とを1つのμCPUで制御してもよい。また、μCPUを使用せずに、CTL部の機能をすべてハードウェア化して処理速度の向上を図ることも可能である。この場合、図4において、速度整合(待ち合わせ)用の第1バッファBFを廃止し、セル書込み部においてヘッダの内容をチェックし、直接第2バッファBF-1~BF-nへセルデータを転送してもよい。

【0031】次に、加入者線インタフェース10の詳細構成を図8を参照して説明する。加入者線インタフェース10は、ATMスイッチ30から受信バス12aを介して入力された各セル51の先頭に付されているルート情報56を削除するためのルート情報削除回路201と、ルート情報が削除されたセルデータを1ビットずつシリアルに出力するための並直列変換回路202と、上記シリアルデータを光信号に変換して受信用の光ファイバ11aに出力するための電気-光変換機(E/O変換機)203とを備える。また、上記加入者線インタフェース10は、加入者端末から送信用の光ファイバ11bを介して入力される光セル信号を電気信号に変換するための光-電気変換機(O/E変換機)204と、O/E変換機204から出力されるシリアル信号を8ビット単位の並列データに変換するための直並列変換回路205と、ヘッダ分離回路206と、ヘッダ挿入回路207と、ヘッダ変換テーブル208を備える。

【0032】既に述べたように、加入者端末から送出される各セルは、図5(B)に示す如く、セルヘッダ52と

情報フィールド 53 とからなっている。ヘッダ分離回路 206 は、受信したセルからヘッダ部分 52 を分離し、ヘッダ部 52 に含まれる VCN (入力 VCN) 520' をヘッダ変換テーブル 208 に、情報フィールド 53 をヘッダ挿入回路 207 に入力する。

【0033】ヘッダ変換テーブル 208 は、第 9 図に示すごとく、入力 VCN 520' の値と対応するアドレスにルート情報 56 と、新 VCN 520 を含むヘッダ情報 52 とからなるレコードを記憶しており、ヘッダ分離回路 206 から出力した VCN 520' をアドレスとして、これに対応するレコードをヘッダ挿入回路 207 に出力することができる。ヘッダ挿入回路 207 は、テーブル 206 から読み出されたルート情報 56 と新ヘッダ 52 とからなるレコードを情報フィールド 53 先頭に付加し、送信データバス 12b を介して ATM スイッチ 30 に送る。尚、ヘッダ変換テーブル 206 の内容は、プロセッサ 40 がバス 104 を介して設定する。例えば、入力セルが信号処理用 (信号チャネル用) の場合、この入力セルに付された VCN と対応するアドレスには、上記入力セルをバス 15 と対応づけるルート情報を持つ変換レコードが予め設定してあり、ヘッダ変換機のセルが ATM スイッチ 30 によってバス 15 に出力され、加入者線信号装置 1 で信号用フレームに組み立てられ、そのうちの情報フィールドの内容がプロセッサ 40 に通知されるようになっている。

【0034】図 10 は、上述した第 1 および第 2 の実施例に示した加入者線信号処理方式を、中継線信号処理にも適用し、中継線信号装置 2 を ATM スイッチ 30 の加入者線側に設置した構成を示す。中継線信号装置 2 は、図 1 あるいは図 2 に示した加入者線信号装置 1 と基本的な同一構造で良い。また、中継線インタフェース部 20 も、図 8 に示した加入者線インタフェース部 10 と同じ回路構成とすることができる。

【0035】加入者端末から入力された信号チャネル用セルから組み立てられたメッセージ (情報フィールド) がプロセッサ 40 に通知されたプロセスと同様に、他の ATM 交換機から送信されてきた信号チャネル用のセルは、光ファイバ 14、中継線インタフェース 20、バス 13 を介して ATM スイッチ 30 に入力され、バス 25 を介して中継線信号装置 2 に入力され、ここでフレームへの組み立て処理とレイヤ 2 の処理が実行されて、受信フレームから抽出されたメッセージがプロセッサ 40 に通知される。

【0036】プロセッサ 40 は、加入者線信号装置 1 あるいは中継線信号装置 2 から受信した信号チャネルメッセージについてレイヤ 3 の処理を行う。その結果、例えば発信側の加入者端末からの信号チャネルメッセージの受信に回答して、他の ATM 交換機に新たな信号チャネルメッセージを送信する必要がある場合、中継線信号装置 2 に対して上記メッセージの送信要求を出す。中継線信

号装置 2 は、プロセッサ 40 からの受信メッセージについてレイヤ 2 の処理 (フレーム生成等処理) と、フレームからセルへの分解 (セグメンテーション) 処理を行ない、生成されたセルをバス 25 を介して ATM スイッチ 30 に送出する。これらのセルは、中継線信号装置 2 内の ADP 処理部で付加されたルート情報 56 に従って、バス 13-1 ~ 13-k のいずれかに出力され、相手交換機に届けられる。逆に、相手 (宛先) 側の加入者端末あるいは交換機からの受信メッセージに回答して自局側加入者端末へ送信すべきメッセージは、プロセッサ 40 から加入者線信号装置 1 に与えられ、加入者線信号装置でセルに分解されて、ATM スイッチ 30 からバス 12-1 ~ 12-j のいずれかを介して加入者端末に届けられる。

【0037】このようにして、プロセッサは信号チャネルによる呼制御を行い、プロセッサから送出した信号チャネルメッセージにより自局側加入者端末、相手局側加入者端末に情報チャネル用のセルに付すべき VCN を通知する。また、これらの VCN と対応して、加入者線インタフェースおよび中継線インタフェース内のヘッダ変換テーブル 208 に新たな変換レコードを書き加え、加入者端末から情報チャネルセルが入力された時、各入力セルが上記変換レコードによりヘッダ変換されて、ATM スイッチ 30 で予定のルートに振り分けられるようにする。

【0038】図 1 及び図 2 に示す実施例において、各加入者線毎に VCN の管理を行う場合、異なる加入者線から同時に同一の VCN を持つセルが入力されるケースが発生し得る。このとき、ADP 処理部 100 を複数の加入者線に共通に設定する方式においては、VCN のみでセルを識別すると、異なる加入者のセルが混ざり合ってしまう、正常なリアセンブリング処理が実行できない。本発明では、加入者線からのセル受信時各加入者線インタフェース部 10-i において、ルート情報 56 をセルに付加し、この部分に加入者線回線番号を記録し、さらに、ADP 処理部受信系において、この加入者線回線番号と VCN とでセルを識別することにより、正常なリアセンブリング処理を実現できる。なお、加入者線回線番号を記録せずに、加入者線インタフェース部 10 において、セルの VCN を、1...j までの加入者線で使用している VCN に対してユニークな VCN に変換するようにしてもよい。さらに、各加入者線毎に DLCI の管理を行う場合、異なる加入者が同時に同一の DLCI を使用するケースが発生し得る。このとき、LAPD・LSI を複数の加入者線に対して共通に設置する第 2 実施例 (図 2) の方式によれば、異なる加入者に対して同じ DLCI を持つ 2 つ以上のリンクを識別することができない。この場合、ADP 処理部 100 に DLCI 変換テーブルを設け、LAPD・LSI 101 と ADP 処理部 100 との間は、1...j までの加入者線で使用している D

LCIに対してユニークなDLCIを使用するようにすれば、正常なリンク識別を行なえる。

【0039】

【発明の効果】以上の説明から明らかな如く、本発明によれば、ATM交換機における加入者線信号装置をATMスイッチの中継線側に設置し、ADP処理部を各加入者線共通に設置することにより、従来のISDN交換機と同様な方式で加入者線信号装置を実現した場合に必要な加入者線毎のセル分離／挿入回路や、集線・分配のためのバスや多重／分離回路を省略でき、また、ADP処理部の数を減らすことができるため、ハードウェア量を削減できるという効果がある。

【0040】また、中継線信号装置についても、これをATMスイッチの加入者線側に設置することにより、上記と同様な効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すシステム構成図。

【図2】本発明の第2の実施例を示すシステム構成図。

【図3】ADP処理部100における送信系100Aを示すブロック図。

【図4】ADP処理部100における受信系100Bを示すブロック図。

【図5】フレーム及びセルフフォーマットを説明するための図。

【図6】ADP処理部送信系100Aの具体的構成の1例を示す図。

【図7】ADP処理部受信系100Bの具体的構成の1例を示す図。

【図8】加入者線インタフェース部10の構成図。

【図9】ヘッダ変換テーブルの構成図。

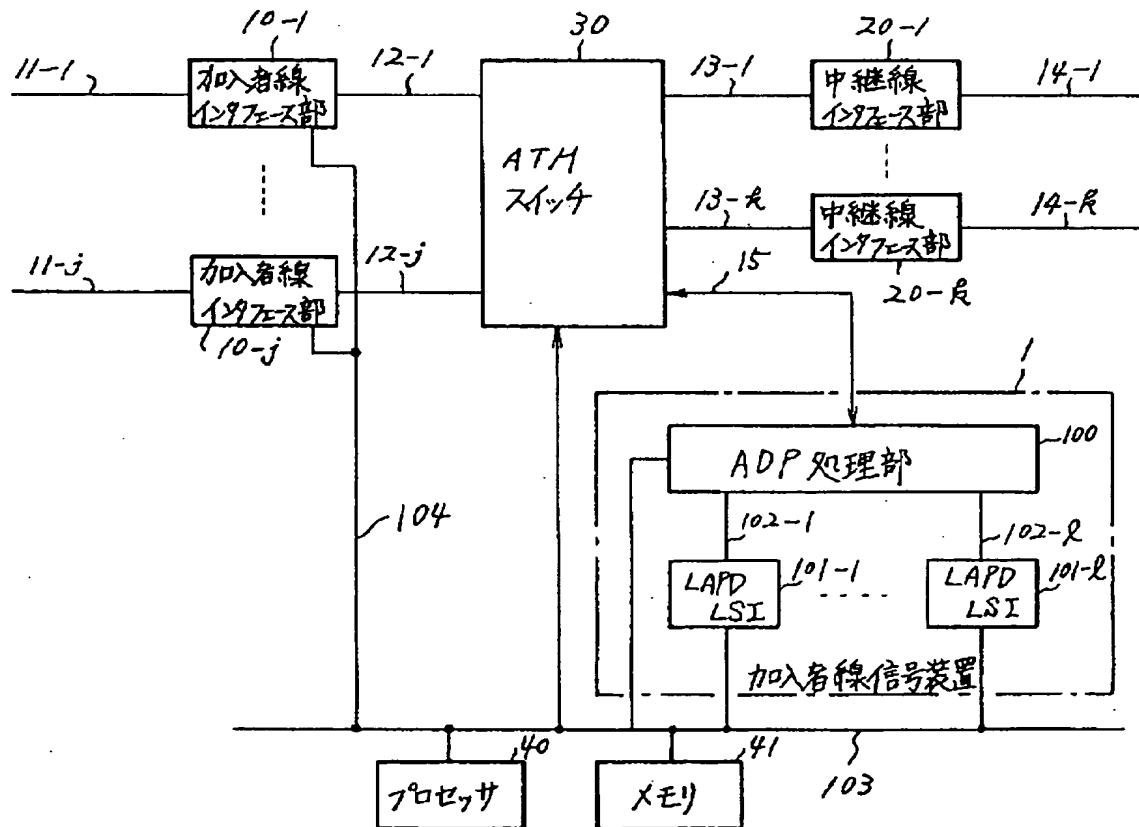
【図10】本発明の他の実施例を示すシステム構成図。

【図11】従来の加入者線信号処理方式をATM交換機に適用した場合のATM交換機の構成図を示す図。

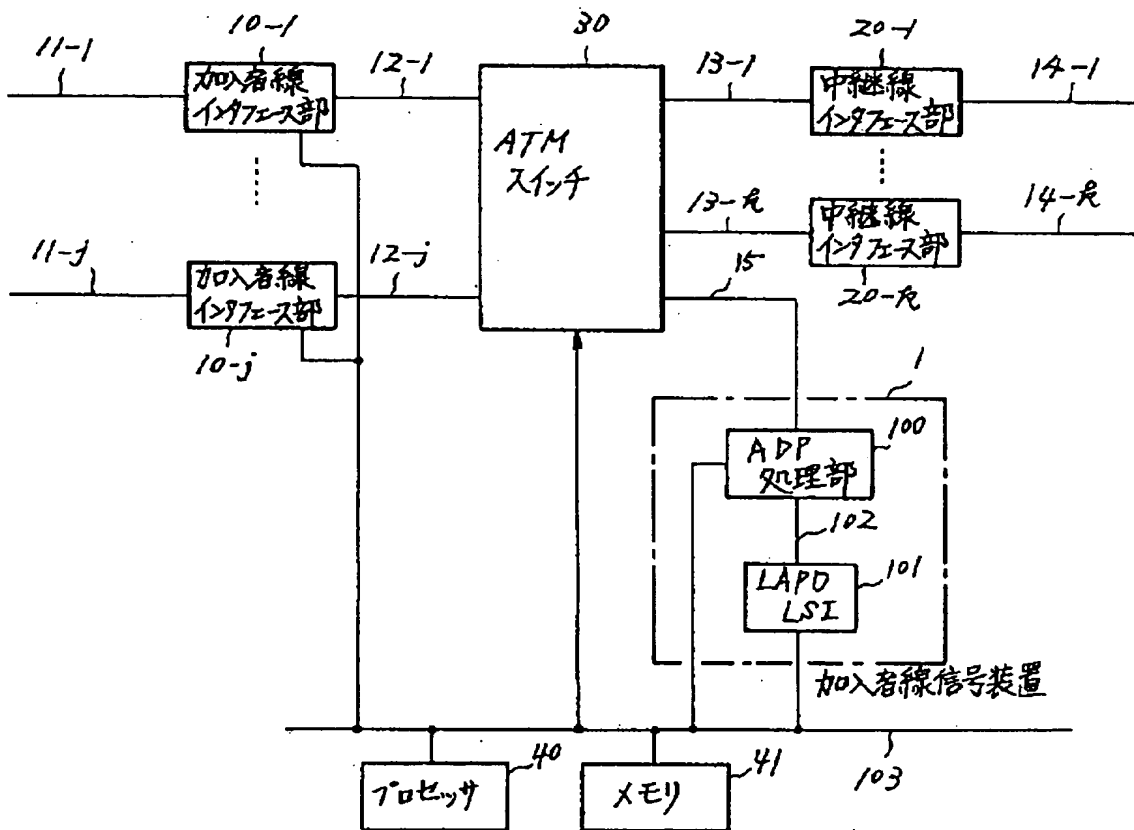
【符号の説明】

1…加入者線信号装置、
2…中継線信号処理装置、10…加入者線インタフェース部、
20…中継線インタフェース部、30…ATMスイッチ、
40…プロセッサ、100…ADP処理部、
101…LAPD・LSI。

【図1】

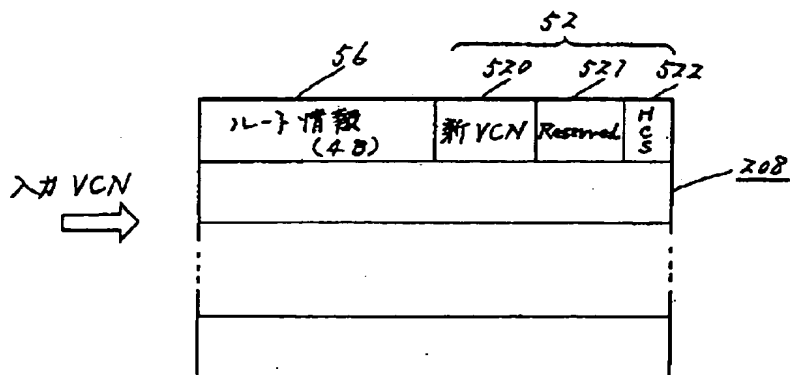


【図2】

図
2

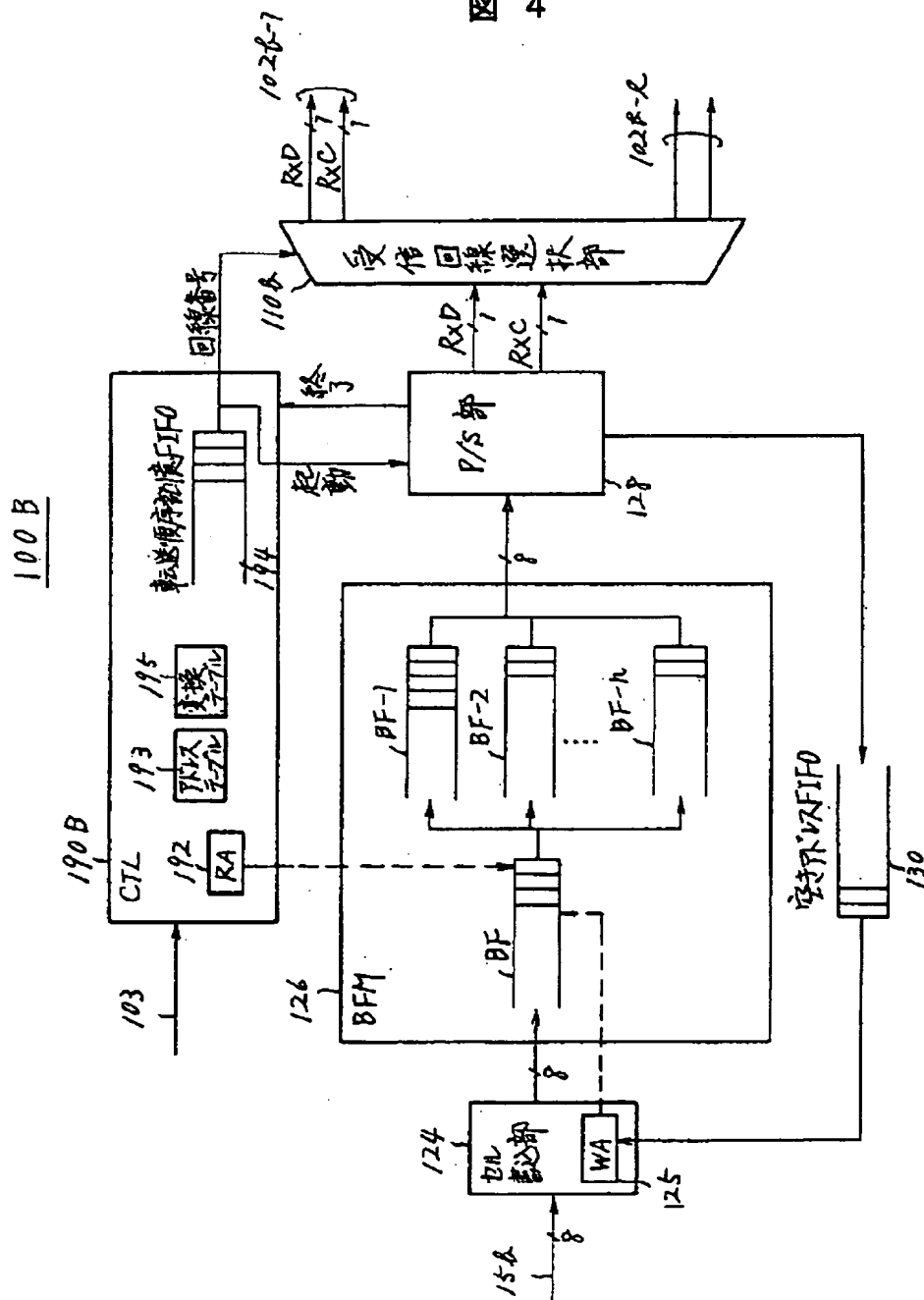
【図9】

図 9



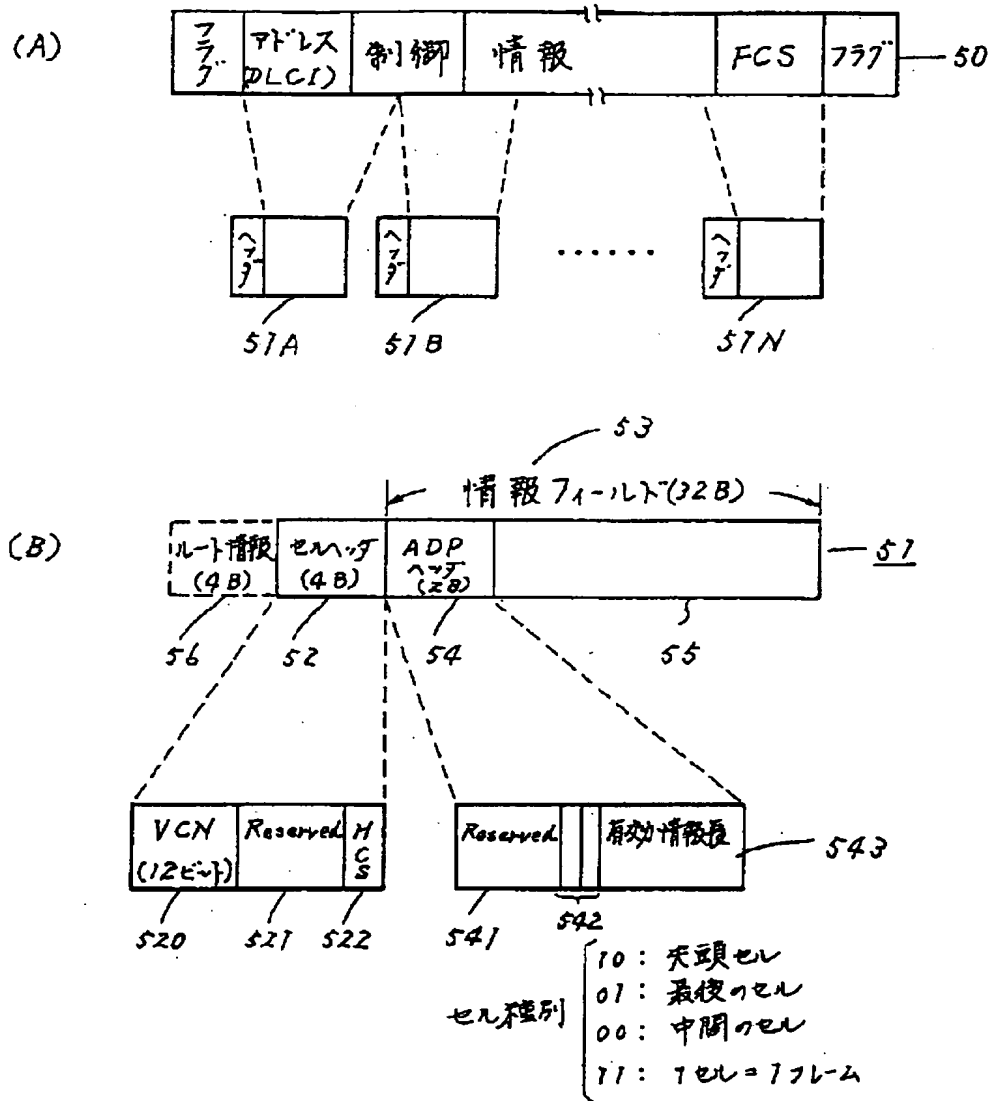
【図 4】

図 4

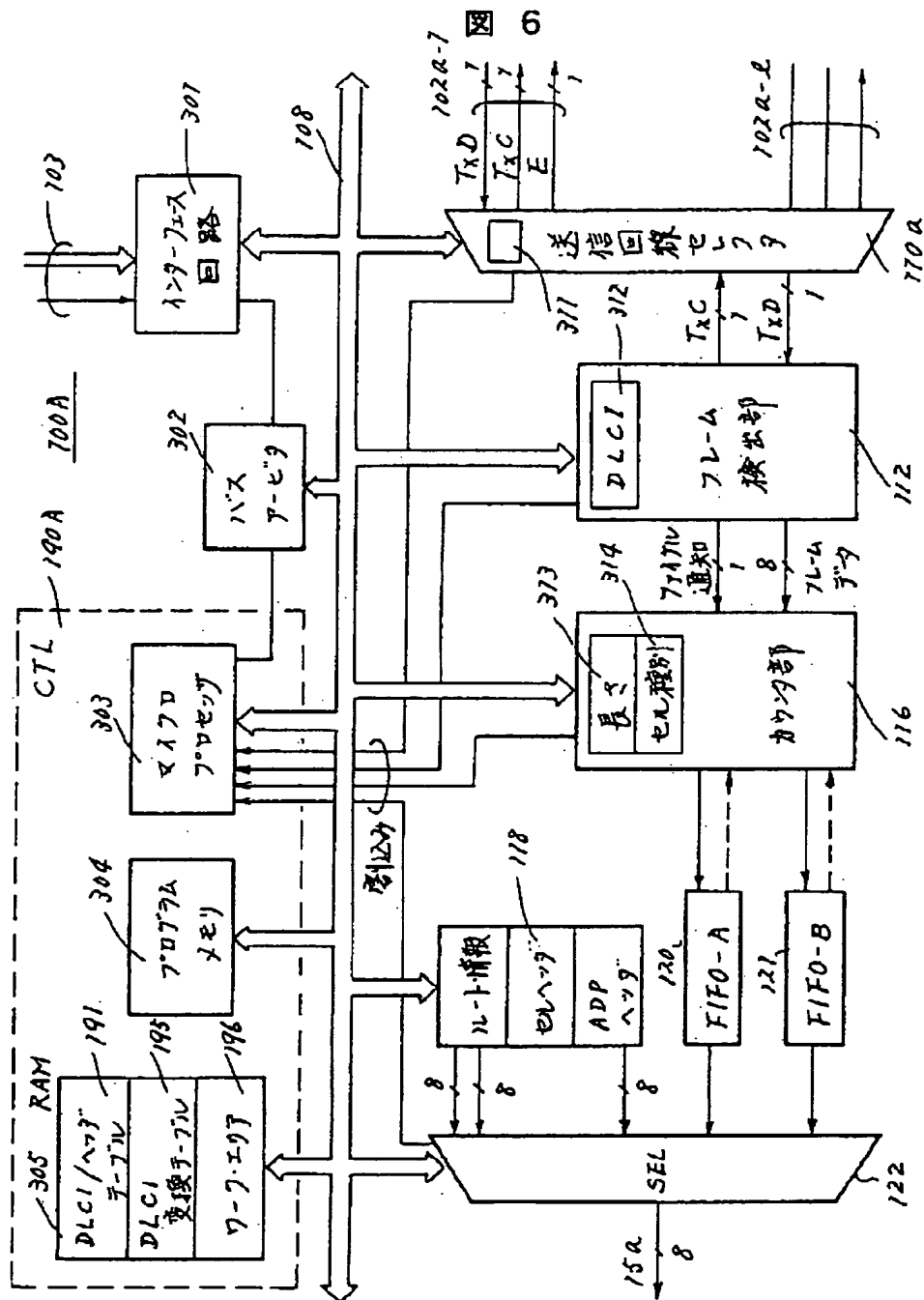


【図 5】

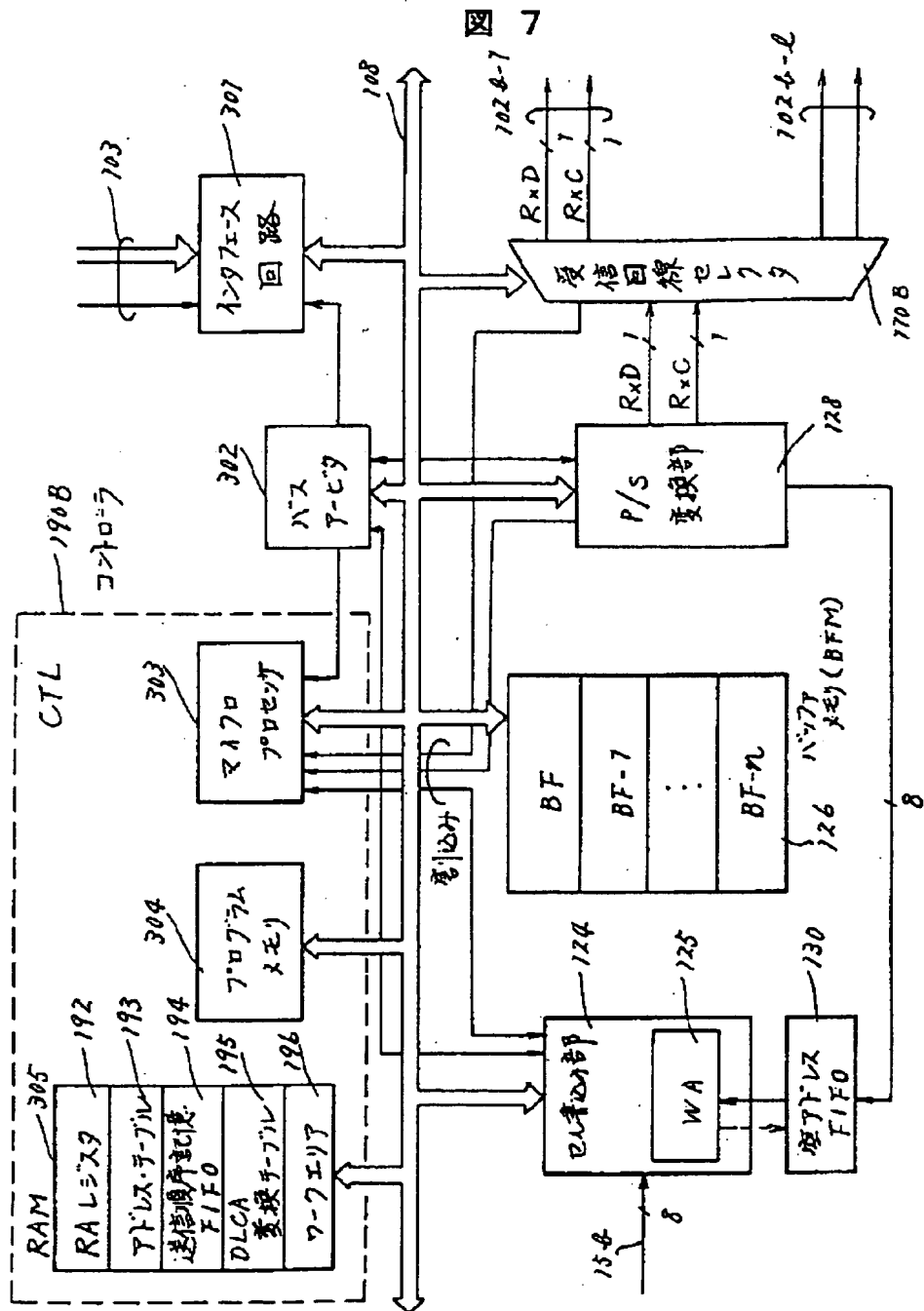
図 5



【図 6】

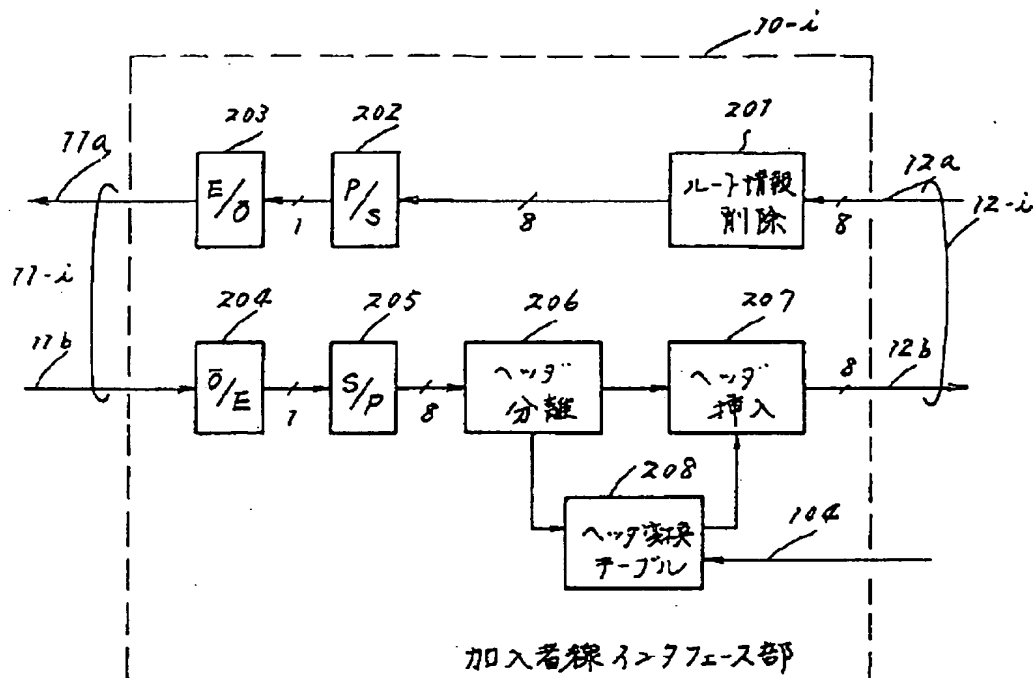


【図7】



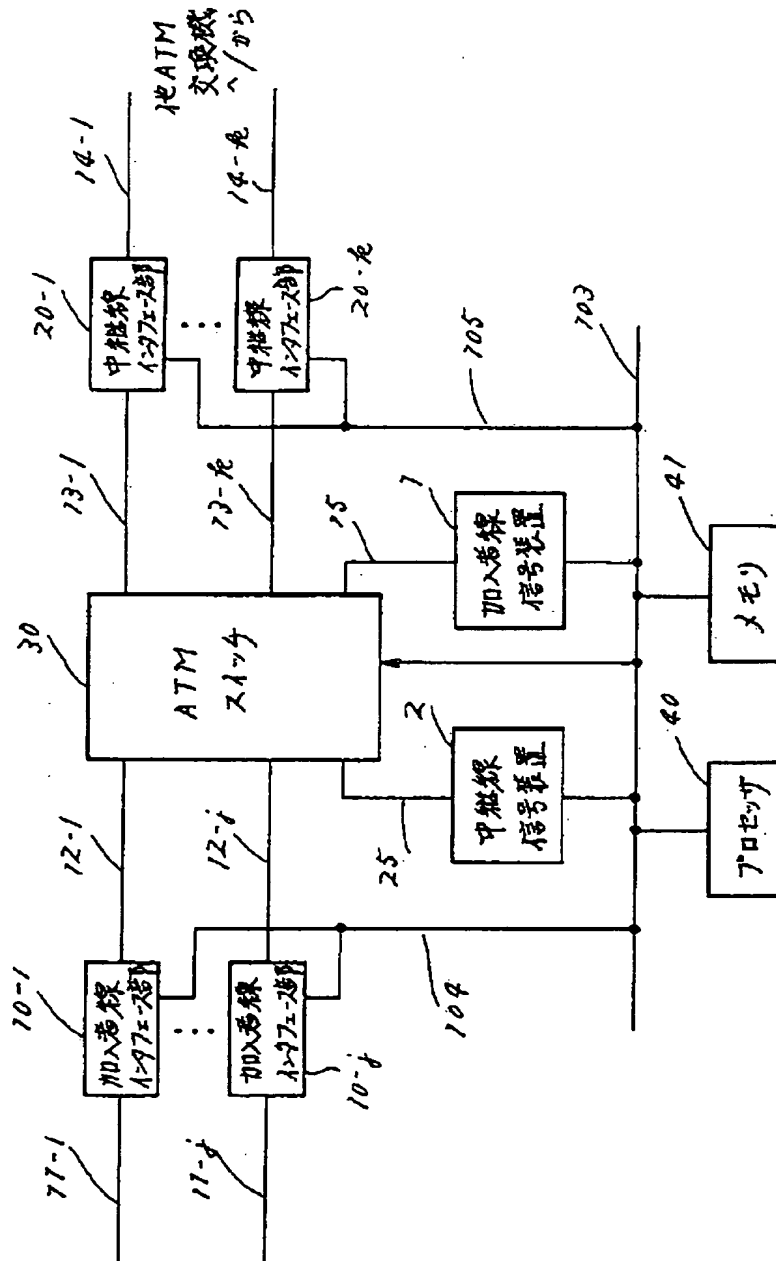
【図 8】

図 8



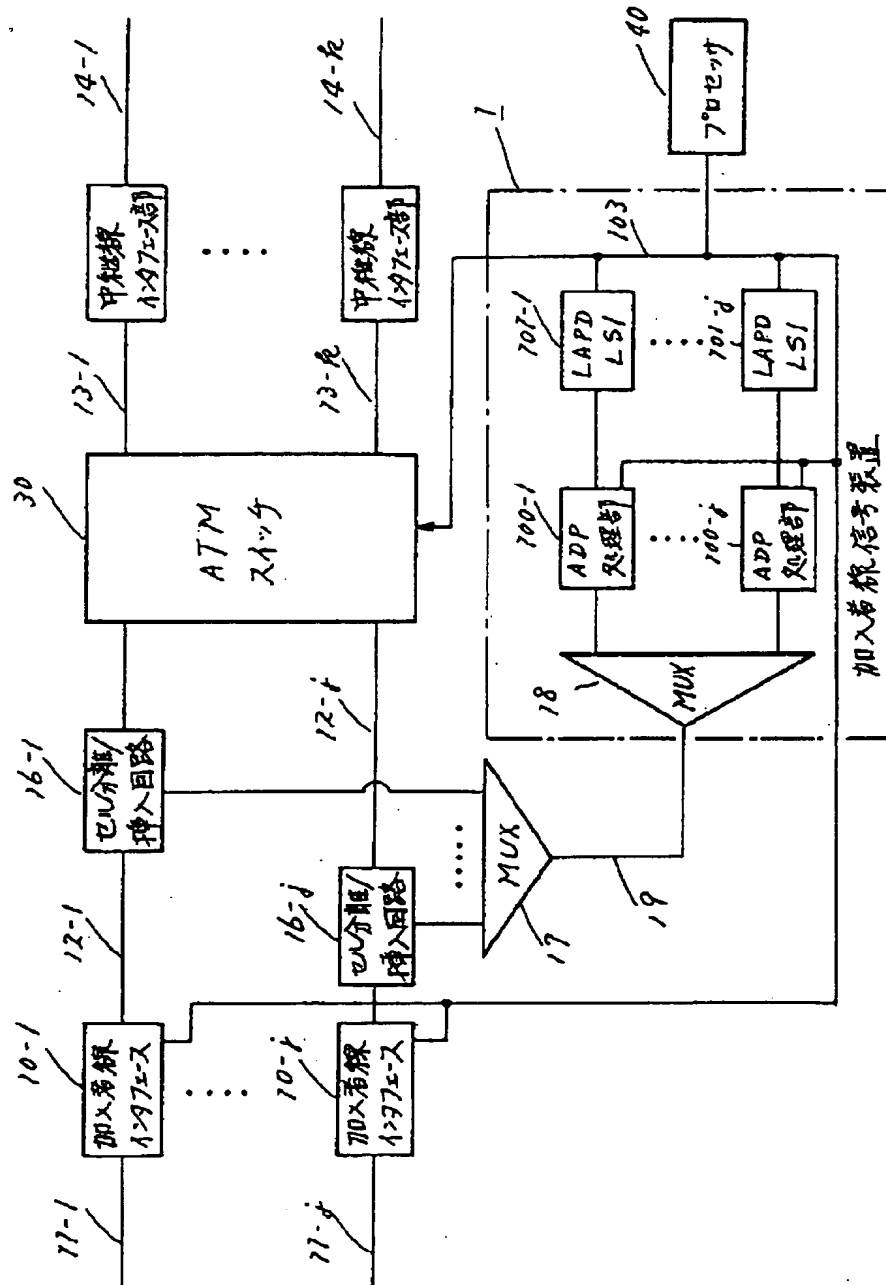
【図 10】

図 10



【図11】

図 11



フロントページの続き

(72) 発明者 郷原 忍

神奈川県横浜市戸塚区戸塚町216番地株式
会社日立製作所戸塚工場内